

Cod. Disc: CMP1090 TURMA: \_\_\_\_\_ GRUPO: \_\_\_\_\_

NOME: \_\_\_\_\_ matricula: \_\_\_\_\_



**ESCOLA DE CIÊNCIAS EXATAS E DA  
COMPUTAÇÃO  
ENGENHARIA DE COMPUTAÇÃO  
CIÊNCIA DA COMPUTAÇÃO**

**Sistemas Digitais**

**Relatórios de Práticas no  
LABORATORIO**

**Aula 10 a 14**

**PROF. MSc. MÁRIO OLIVEIRA ORSI  
PROF. MSc. CARLOS ALEXANDRE FERREIRA DE LIMA**

## 1. Projeto Final do Laboratório

Trata-se do projeto de uma calculadora BCD (Bynare Coded Decimal – Quatro bits representam um algarismo decimal) sendo dividido para a implementação em oito partes descritas abaixo e mostradas no diagrama de blocos funcionais Fig 1.

Projeto Final: Calculadora BCD	
1ª parte:	Decodificador e Display
2ª parte:	Somador e Subtrator
3ª parte:	Correção BCD e Sinal
4ª parte:	Seletor
5ª parte:	Chaves sem Rebatimento – Pulso 1 e Pulso 2
6ª parte:	Contador BCD
7ª parte:	Gerador de Sinais de Controle
8ª parte:	Registrador A e B

O projeto deverá ser implementado por grupos de no máximo 5 alunos, observando que o relatório é sempre individual.

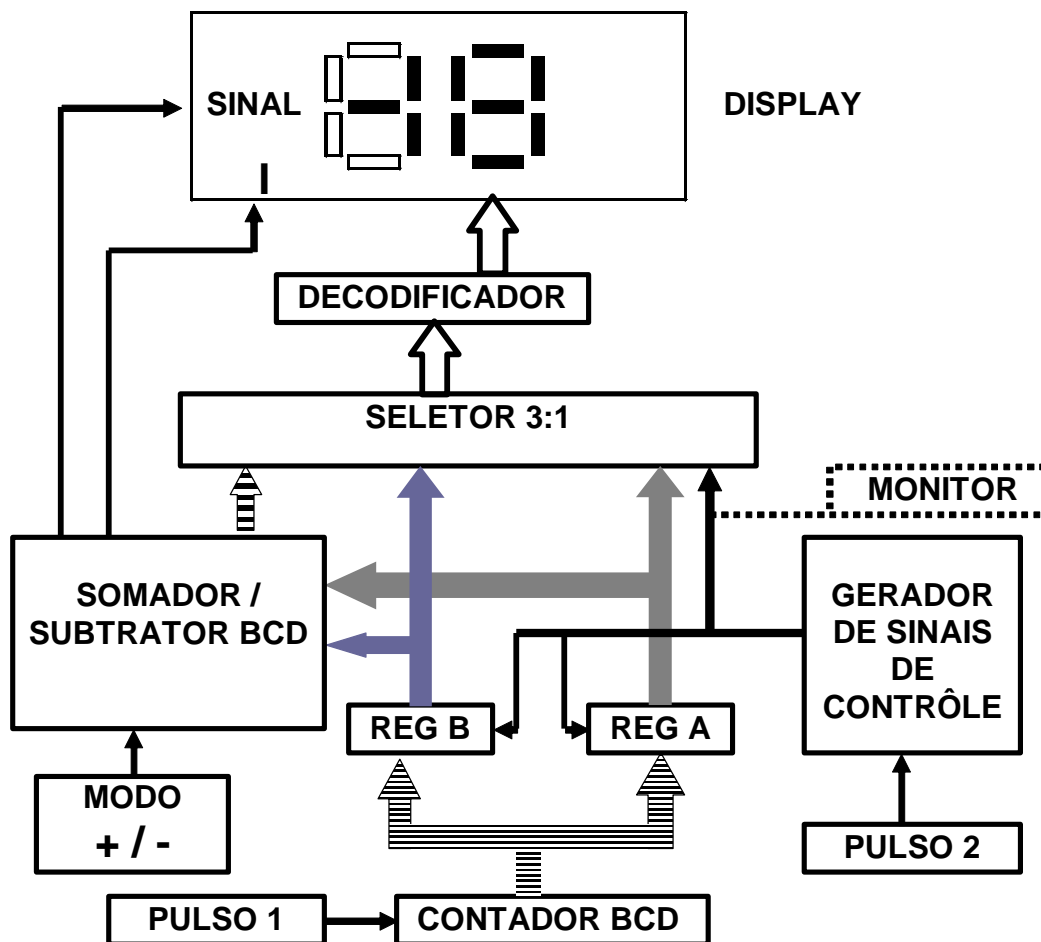


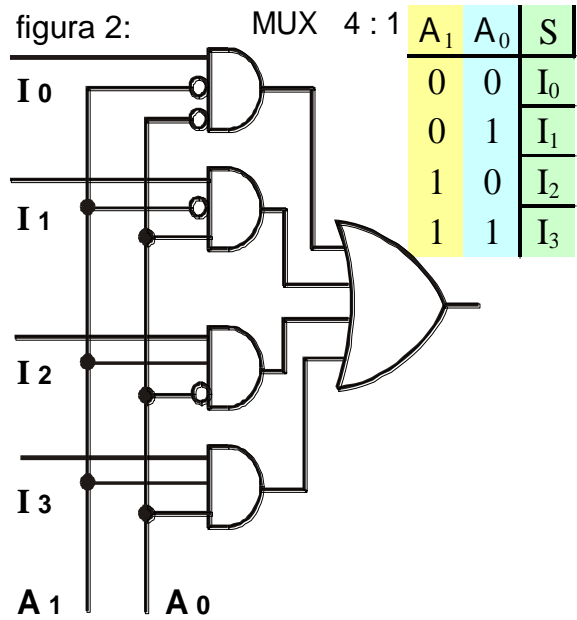
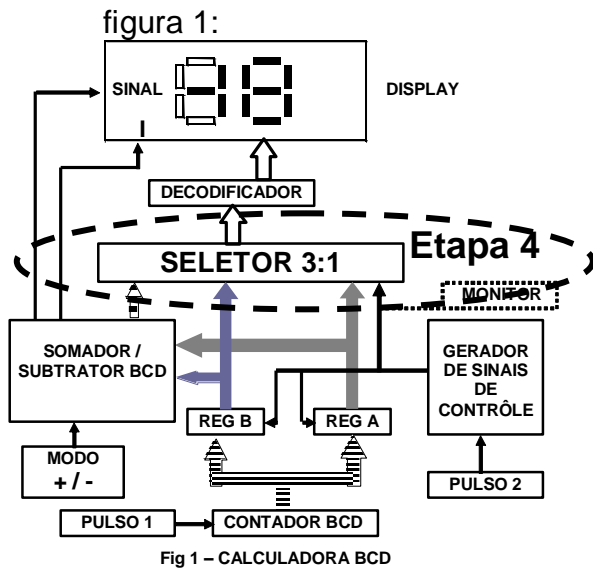
Fig 1 – CALCULADORA BCD

# AULA 10 - Projeto final etapa 4 (Seletor)

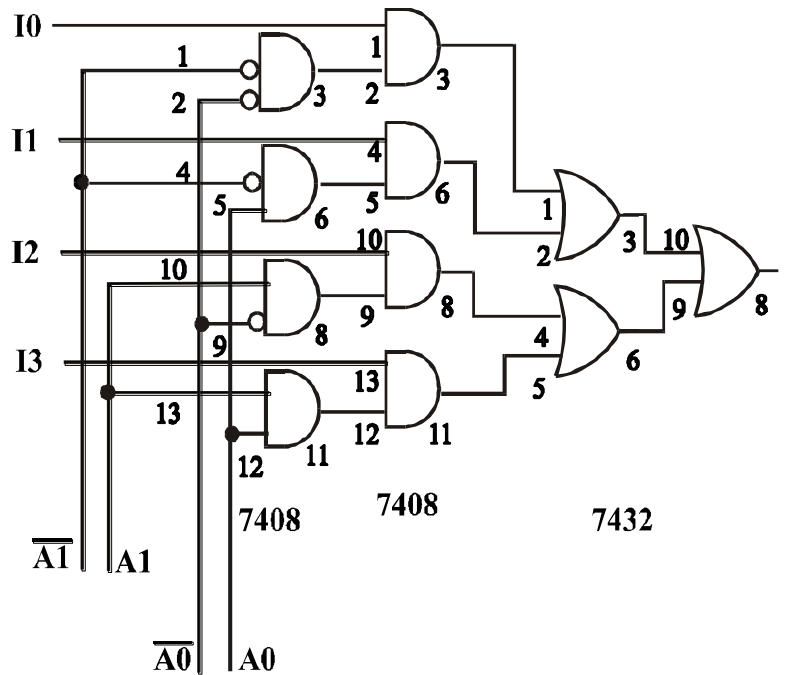
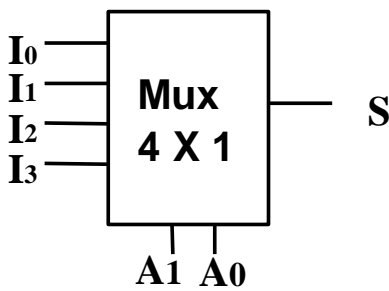
Objetivo: Circuitos Multiplexadores Digitais, e implementar seletor (etapa 4 do projeto final mostrado na figura 1) usando CIs 74153.

1. Fundamentos Teóricos: Referência Livro Texto: Capítulo 9.7 a 9.9

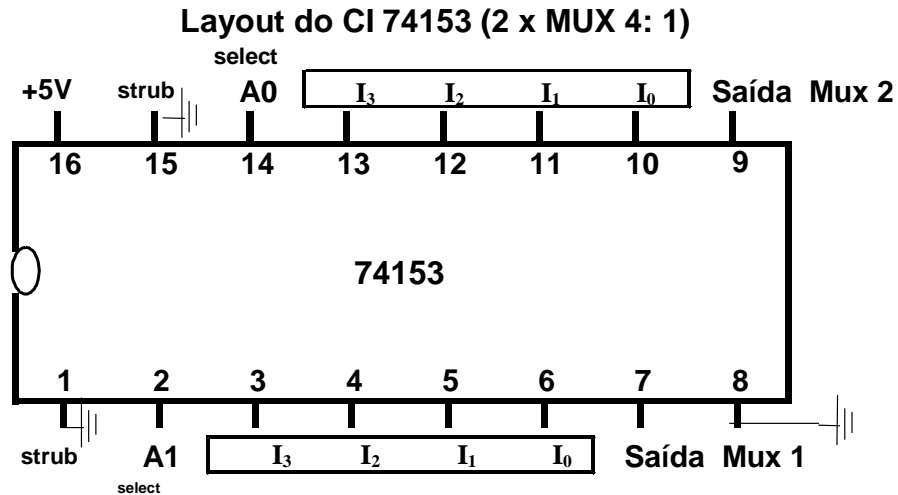
A figura 2 abaixo mostra o esquema de um mux 4:1 usando portas AND e OR e abaixo o mesmo circuito usando portas de 2 entradas (CI 7408 e 7432):



1.1 Um MUX 4:1 como mostrado na figura 2 pode ser simbolizado conforme a seguir:



1.2 O CI 74153 possui (2) dois circuitos MUX 4X1 conforme layout mostrado a seguir:



Considerando que para o projeto do SELETOR temos que selecionar 3 rotas, sendo uma de cada vez para encaminhar os 4 bits do numero A, B e do resultado da Soma ou Subtração para decodificação no Display (da direita), e que cada CI só encaminha 2 bits para a suas duas saídas, então precisamos de 2 CIs 74153 (dois MULTIPLEX 4:1) que permitirá com a interconexão do respectivos endereços A1 A0 encaminhar em paralelo os 4 bits (cada mux 4:1 encaminha 1 bit).

**CI 74153**

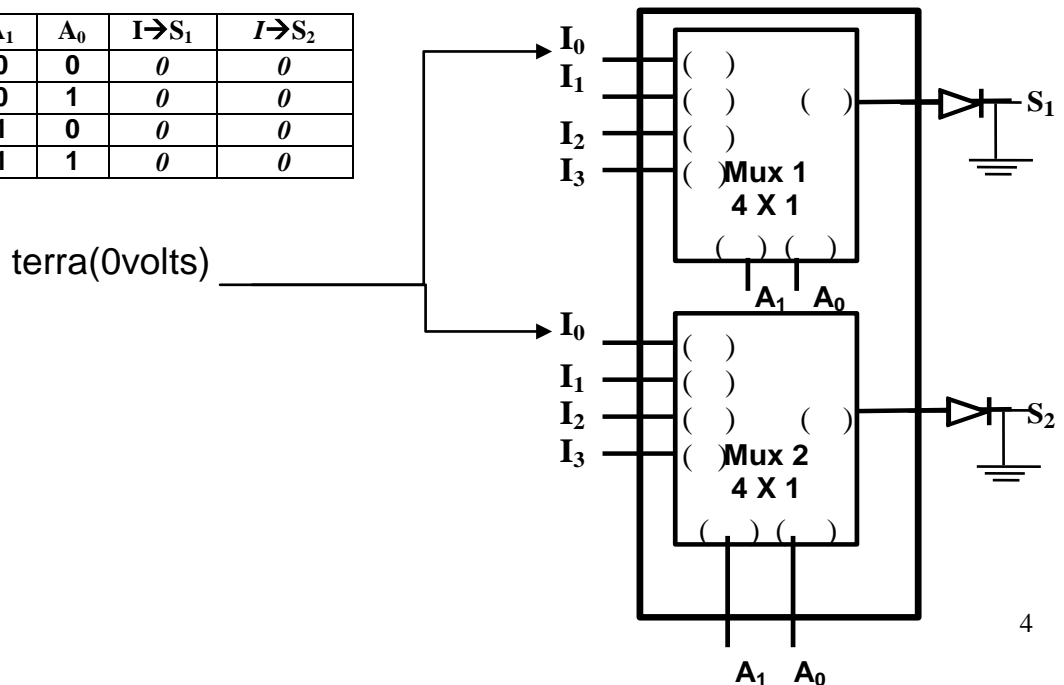
**2. Procedimentos Experimentais**

2.1 **Numerar** o esquema abaixo nos ( ) de acordo com o layout do **CI 74153** acima:

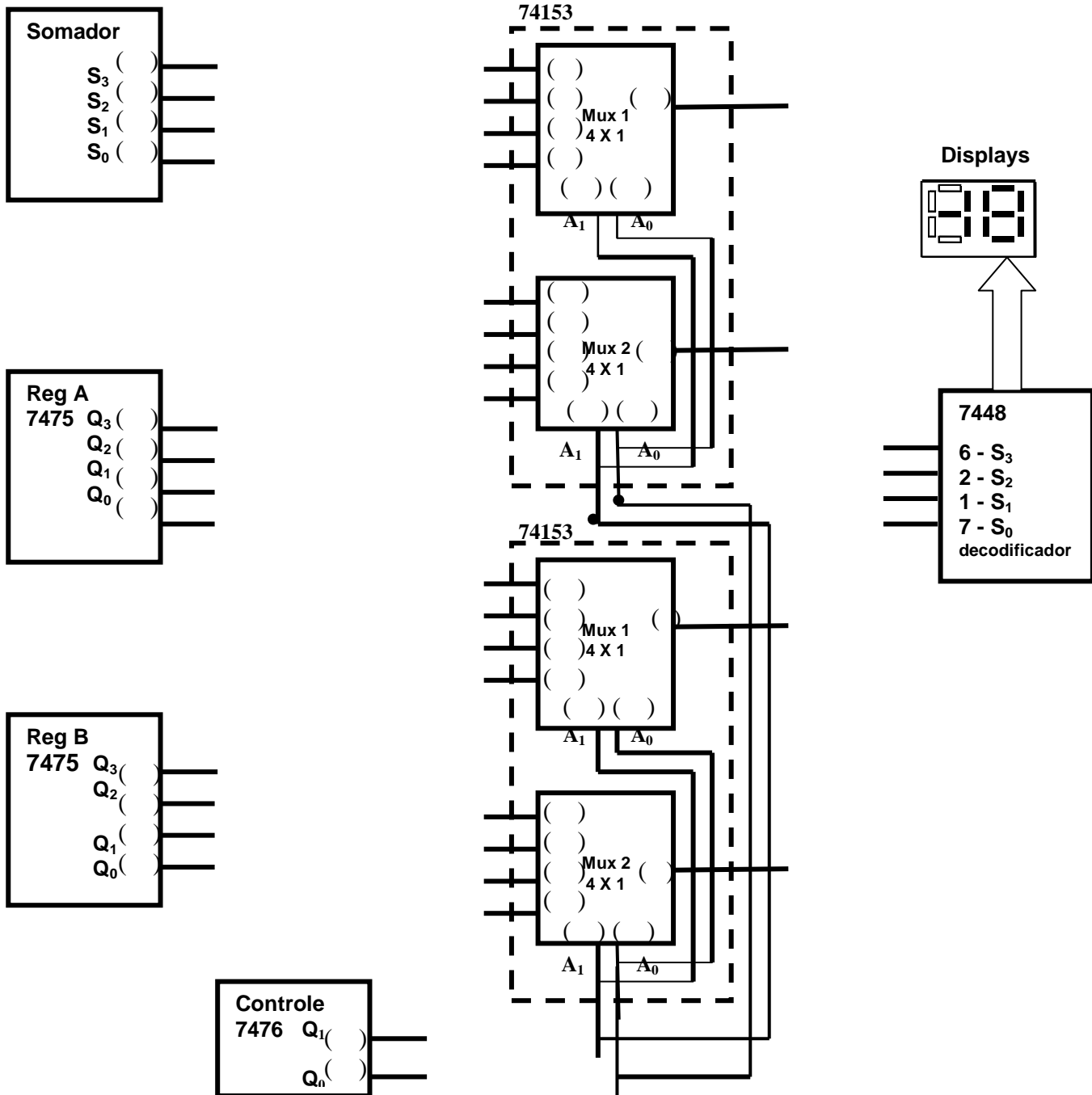
2.2 Usando o kit de montagem teste O MUX 1 e MUX 2 de dois CIs 74153:

TESTE DO MUX 1 e MUX 2: configure as entrada de dados e endereços na tabela conforme a seguir: coloque  $I_0 = 0$  (terra),  $I_1 = I_2 = I_3 = 1$  (não conectados) e  $A_1 = 0$ ,  $A_0 = 0$  a saída será  $S_1 = S_2 = I_0 = 0$  **apaga o led**. Repetindo este procedimento para os outros valores de  $I_0$ ,  $I_1$ ,  $I_2$ ,  $I_3$ , e  $A_1$  e  $A_0$

$I_0$	$I_1$	$I_2$	$I_3$	$A_1$	$A_0$	$I \rightarrow S_1$	$I \rightarrow S_2$
0	1	1	1	0	0	0	0
1	0	1	1	0	1	0	0
1	1	0	1	1	0	0	0
1	1	1	0	1	1	0	0



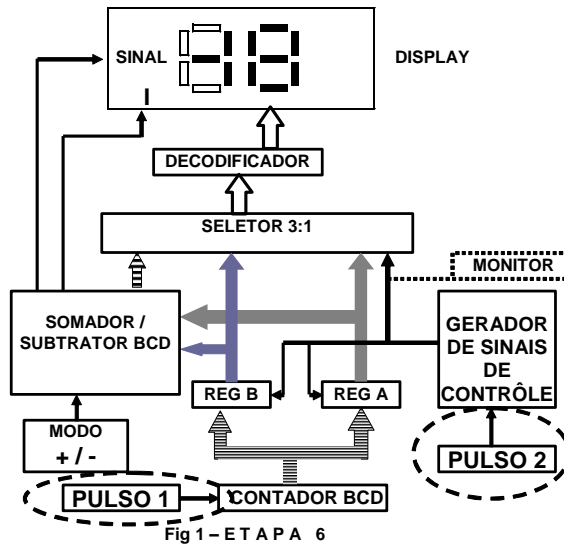
2.3 Esquematizar a seguir o seletor no módulo do projeto final definindo o encaminhamento dos endereços e **desenhando as interconexões** correspondentes, bem como colocando nos ( ) a **NUMERAÇÃO** dos pinos do CI 74153 conforme folha anterior e **completando a numeração** já definida para a saída do somador  $S_3S_2S_1S_0$  .



2.4 Colocar os CIs 74153 no módulo do projeto e fazer apenas as ligações da alimentação incluindo os strubs conforme Layout e interligar os pinos de endereçamento dos dois CIs. A conclusão desta etapa será realizada no último laboratório (com a **NUMERAÇÃO** e interligação dos pinos final do seletor com o somador/subtrator e os registradores A e B. e Controle).

# AULA 11 - Projeto final etapa 5 (Pulso 1 e Pulso 2)

Objetivo: Implementação dos dispositivos Pulso 1 e Pulso 2 (chave sem rebatimento) que serão usados respectivamente com clocks (gatilhos) dos dispositivos contador BCD e gerador de sinais de controle conforme ilustrado na figura 1- etapa 6 abaixo.

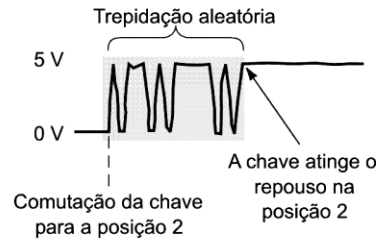
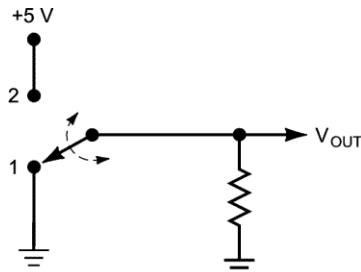


## 1. Fundamentos Teóricos: Referência Livro Texto: Capítulo 5

Flip Flop SR – ativado e desativado com nível baixo: FF– S R

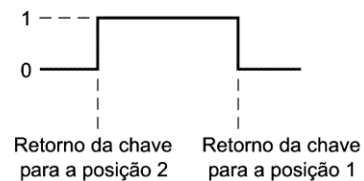
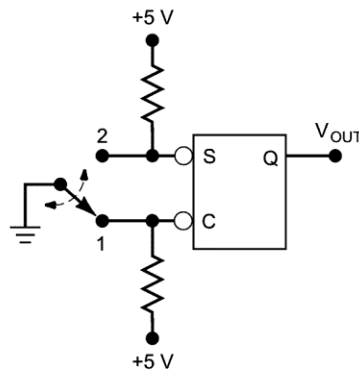
### Exemplo de Aplicação:

- a) A trepidação de um contato mecânico gera múltiplas transições na tensão;



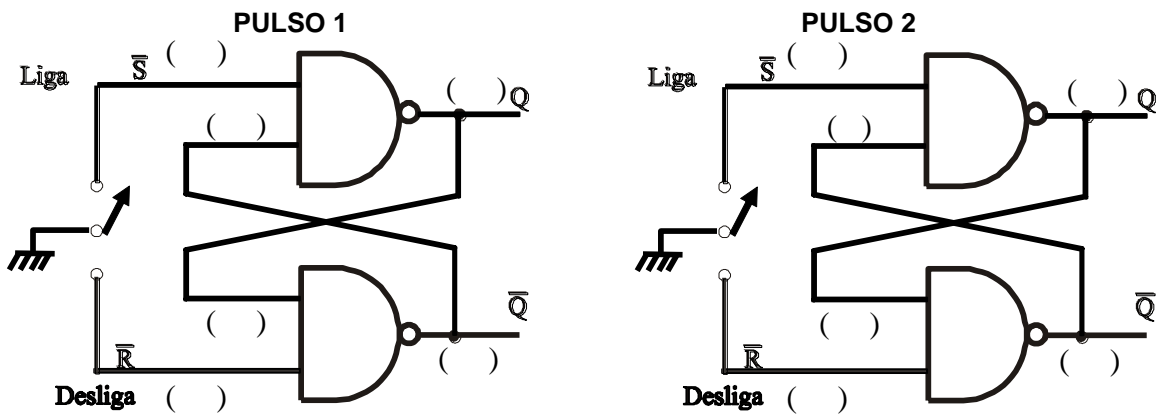
(a)

- b) latch NAND usado para eliminar as múltiplas transições na tensão.



(b)

Os circuitos Pulso 1 e Pulso 2 são dois flip-flop SR (lath - NAND) como chave anti-rebatimento (debouncing – anti-ruído – sem-trepidação) conforme esquemas abaixo:



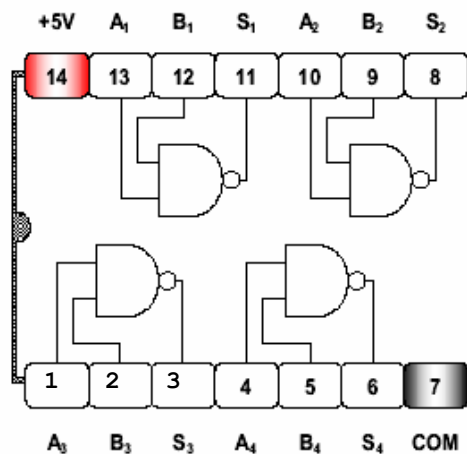
## 2. Procedimentos Experimentais

**Numerar** nos ( ) os esquemas acima de acordo com o layout fig abaixo

### CI 74\*00 (Quad 2-Input NAND Gates = Quatro Portas NE de 2 Entradas)

Fazer na sequencia

$\bar{S}$	$\bar{R}$	Q	$\bar{Q}$	
1	1	X	X	liga = imprevisível
1	0	0	1	Resetado
1	1	0	1	Repouso
0	1	1	0	Setado
1	1	1	0	Repouso
0	0	1	1	proibido assume qq estado
1	1	?	?	



$S = \overline{AB}$

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Testar o funcionamento do módulo ou kit de montagem.

Colocar dois CIs 7400 ( 4 portas NAND - layout abaixo) no módulo ou kit de montagem e testar as portas do CI (Aula 1).

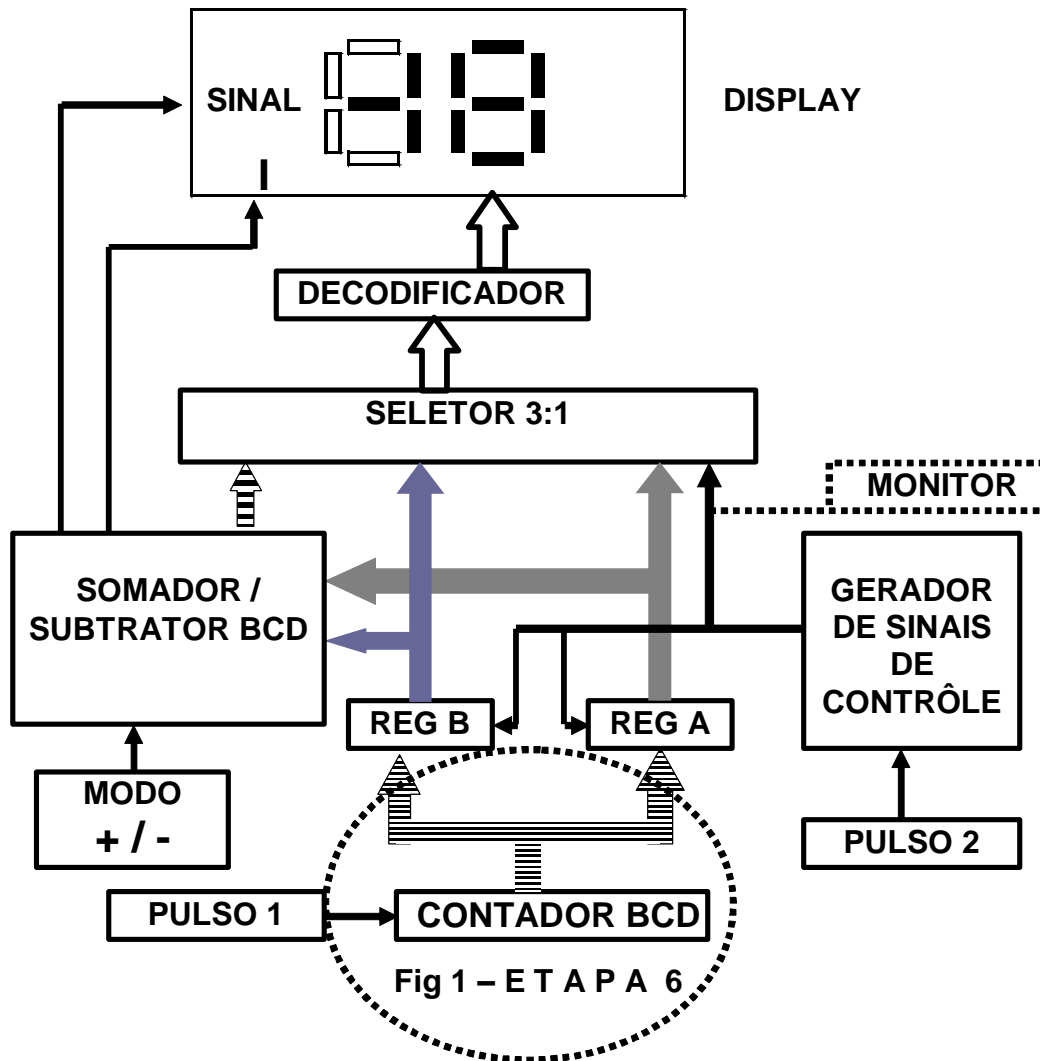
Montar os circuitos dos esquemas numerados acima usando um CI 7400 para Pulso 1 e outro para o Pulso 2 no módulo do projeto final fazendo as interligações correspondentes.

Usar um fio ligado no terra (0 v – comum) para colocar níveis 0 ou 1 (em aberto) nas entradas e verificar a tabela verdade acima:

# AULA 12

## Projeto final etapa 6 (Contador BCD)

Objetivo: Implementar um dispositivo que execute a contagem de 0 a 9 (BCD) para introdução dos números A e B na Calculadora BCD (figura 1 – etapa 6) e um contador que conte na seqüência 0-1-2-3-0

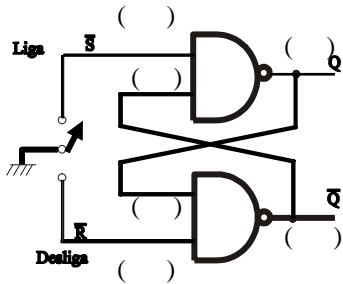
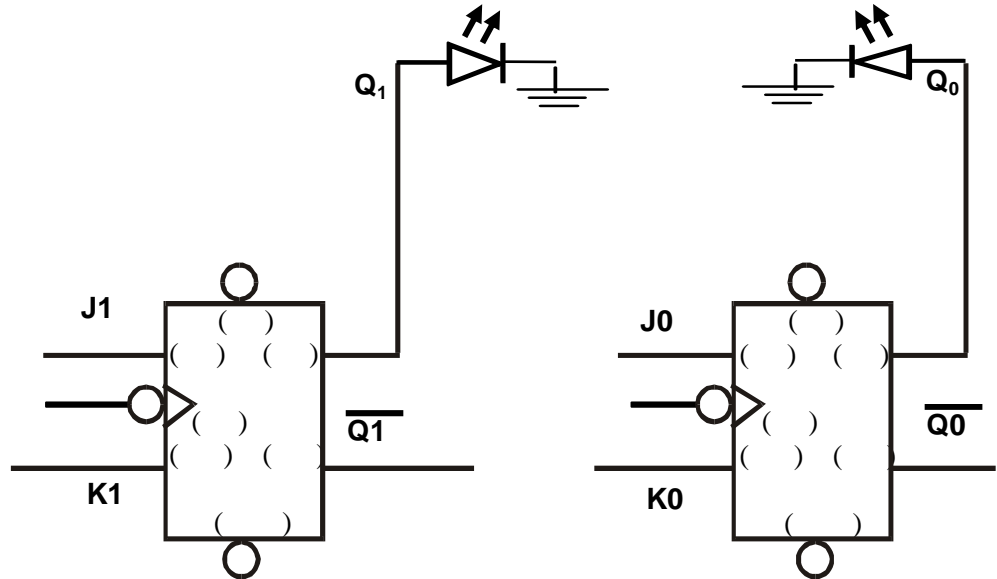


1 Fundamentos Teóricos: Referência Livro Texto: Capítulo 5

1.1 Dispositivos de Memória: CI 74LS76 (FF JK - ME) e CI 7490 contador de década



1.1.1 **Experiencia 1: Completar** o Esquema abaixo para **projetar** um circuito **Contador assíncrono** modulo 4 (0-3) com flip-flop FF JK – ME, (conforme exemplo mostrado em aula) e **Numerando** nos ( ) e **interligando** os esquemas envolvidos conforme os pinos no layout do CI 74LS76 e 74LS00.



O circuito acima pode ser usado como Gerador de Sinais de Controle no Projeto, entretanto vamos usar o Contador Síncrono a ser Projetado na 8ª etapa.

**Para o simular o teste** do circuito siga a sequencia da tabela para cada transição negativa de clock.

Ck	S1	S0
sem	0	0
▼	0	0
▼	0	1
▼	1	0
▼	1	1
▼	0	0

0 inicio --> clear = 0

0 clock em 1 Hz

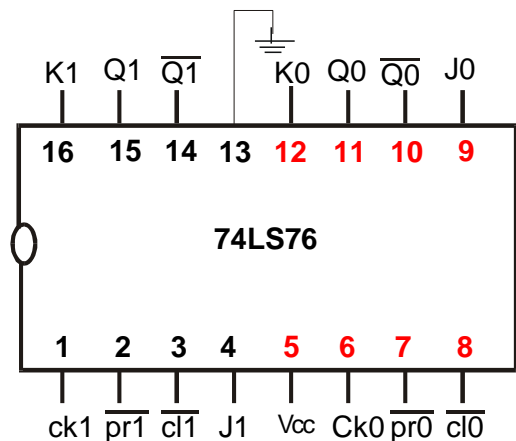
1

2

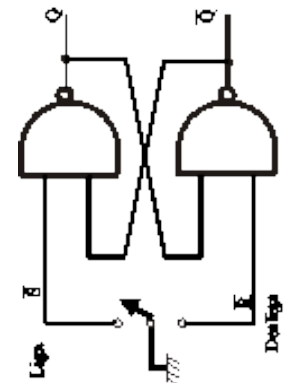
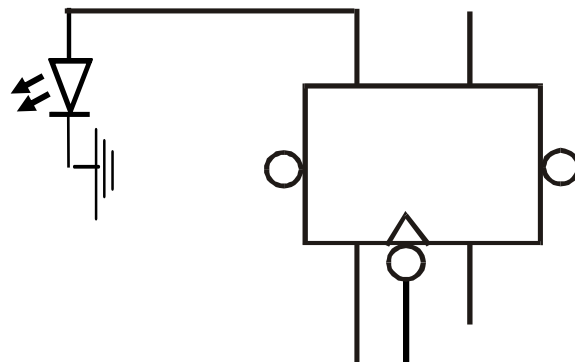
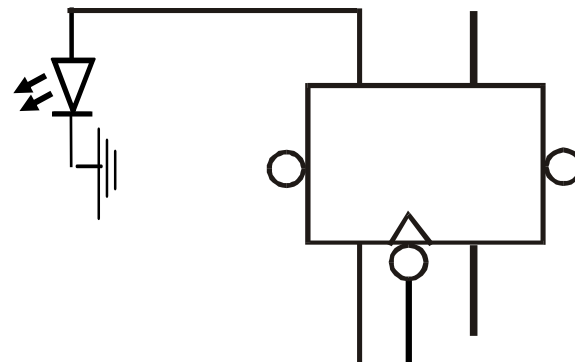
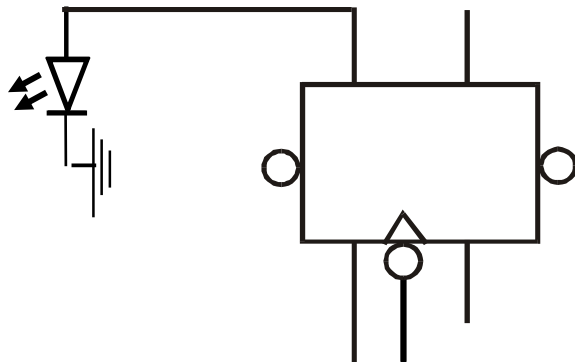
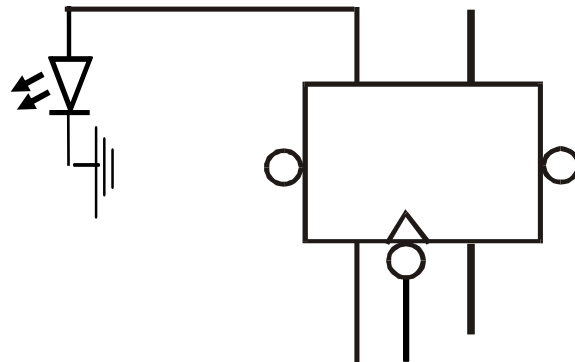
3

0

**Lay out – CI 7476**



1.1.2 **Experiência 2:** Esquematizar usando FF-JK – ME, um **contador de faixa (0-9) assíncrono** (conforme exemplo mostrado em aula) **Numerando e interligando nos ( ) o esquema** conforme os pinos layout do CI 74LS76 acima.



Para simular o teste do circuito siga a sequencia da tabela para cada transição negativa de clock.

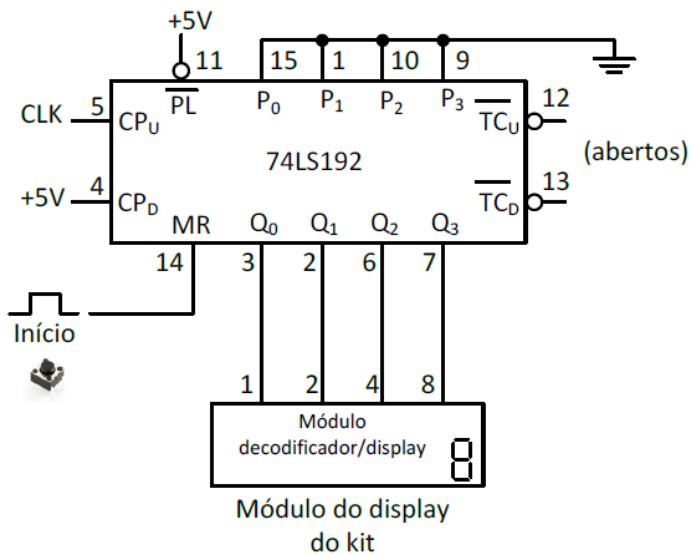
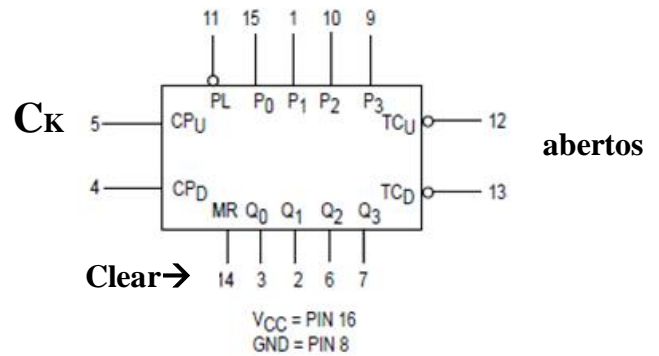
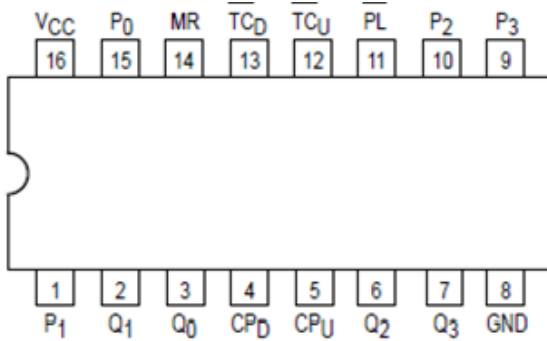
**Questão1:**

Descreva á seguir quais são e quantos são os CIs que utilizados para este projeto (contador de faixa (0-9) assíncrono)

CI	quantidade
-----	-----
-----	-----
-----	-----

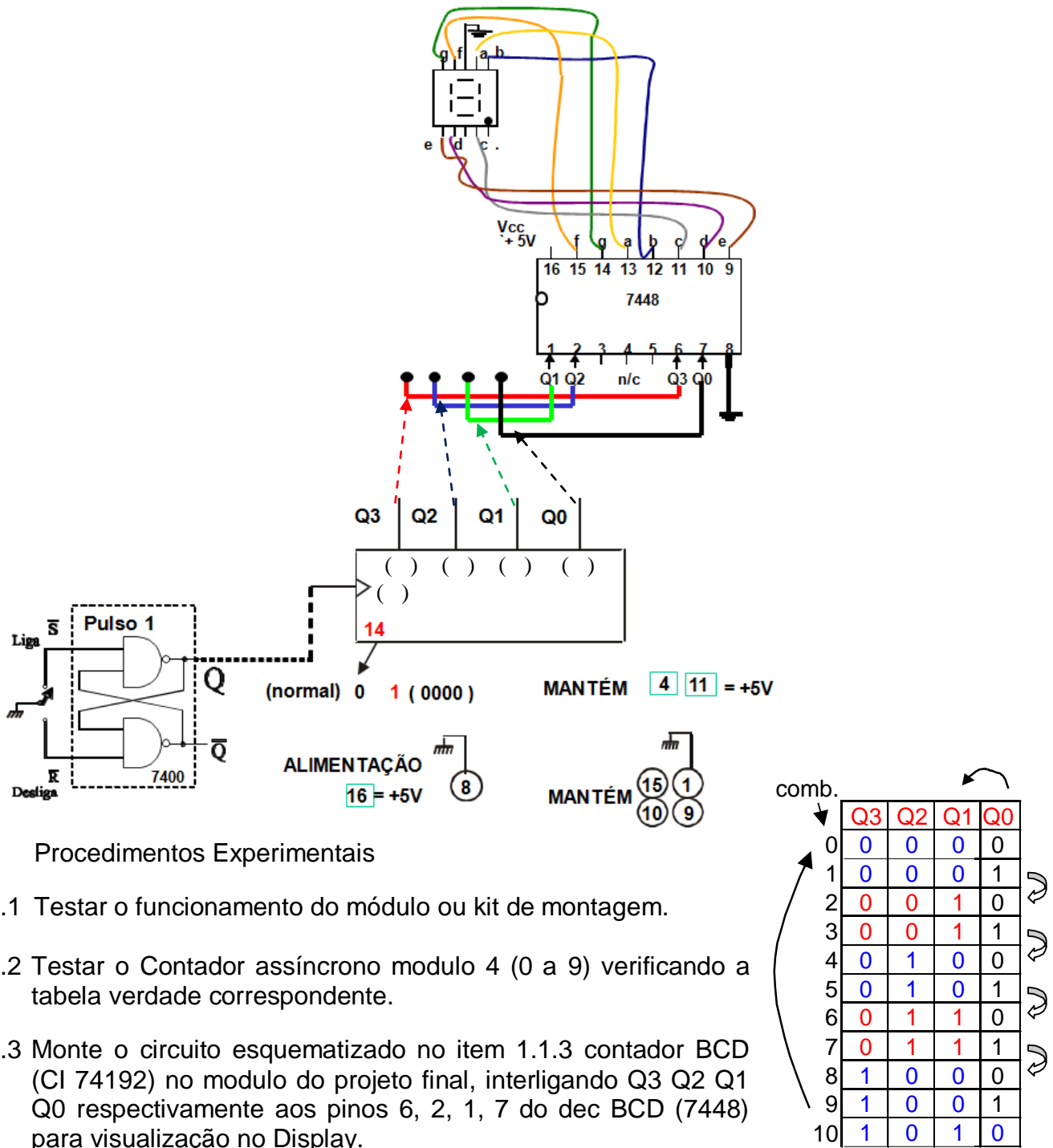
comb.	Q3	Q2	Q1	Q0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0

OBSERVAÇÃO: Para o Projeto final **etapa 6 Contador BCD** → Usaremos um Contador de década do **CI 74192 (LAYOUT ABAIXO)**



**SIMBOLO LOGICO: CI 74192**

**1.1.3 PARA TESTAR O CI 74192: Numere o desenho do esquema conforme Layout do CI 74192 e interligue com circuito Pulso 1 (etapa 5) repetindo a numeração dos pinos (CI 7400 ) E INTELIQUE COM O DECODIFICADOR/DISPLAY**



1 Procedimentos Experimentais

1.1 Testar o funcionamento do módulo ou kit de montagem.

1.2 Testar o Contador assíncrono modulo 4 (0 a 9) verificando a tabela verdade correspondente.

1.3 Monte o circuito esquematizado no item 1.1.3 contador BCD (CI 74192) no modulo do projeto final, interligando Q3 Q2 Q1 Q0 respectivamente aos pinos 6, 2, 1, 7 do dec BCD (7448) para visualização no Display.

1.4 Teste o contador BCD verificando a tabela verdade correspondente.

Verifique que o circuito deve seguir a sequencia da tabela para cada transição positiva de clock

# AULA 13 Projeto final etapa 7(Gerador de sinais de controle)

Objetivo: Implementar o circuito gerador de sinais de controle através do projeto de um contador síncrono (faixa 0-1-2-0) usando o CI 7476 (2 x FF – JK – ME)

- Fundamentos Teóricos: Referência Livro  
 Texto: Capítulo 5.16 a 5.18; 7.15, 7.18 a 7.22

GERADOR DE SINAIS DE CONTROLE →  
 CONTADOR SINCRONO DE (0 a 2)

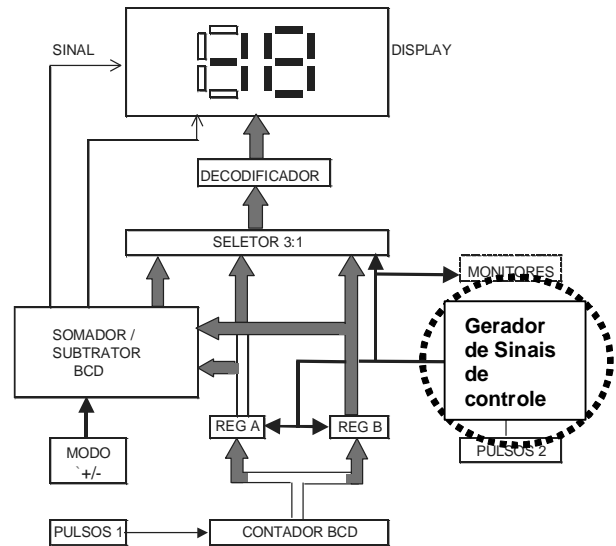
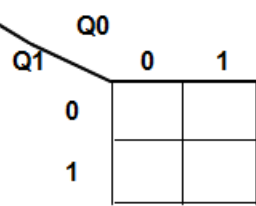
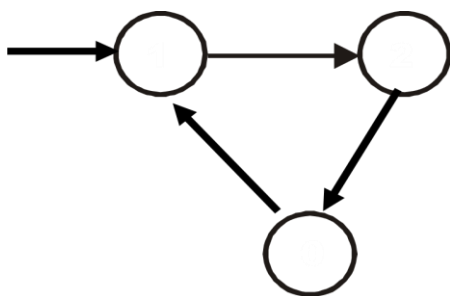


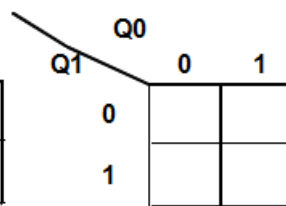
fig 1 etapa 7

## Projeto para um contador síncrono: Seqüência 0-1-2-0:

**PASSO 1: Descrever** a seguir o correspondente Diagrama de Estados da sequencia e a Solução: usando mapa de Karnough duas variáveis

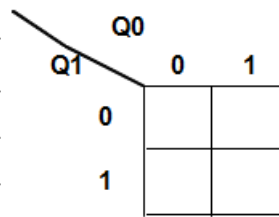


**J1=**

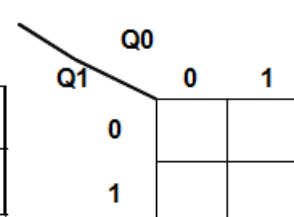


**K1=**

Q1	Q0	J1	K1	J0	K0

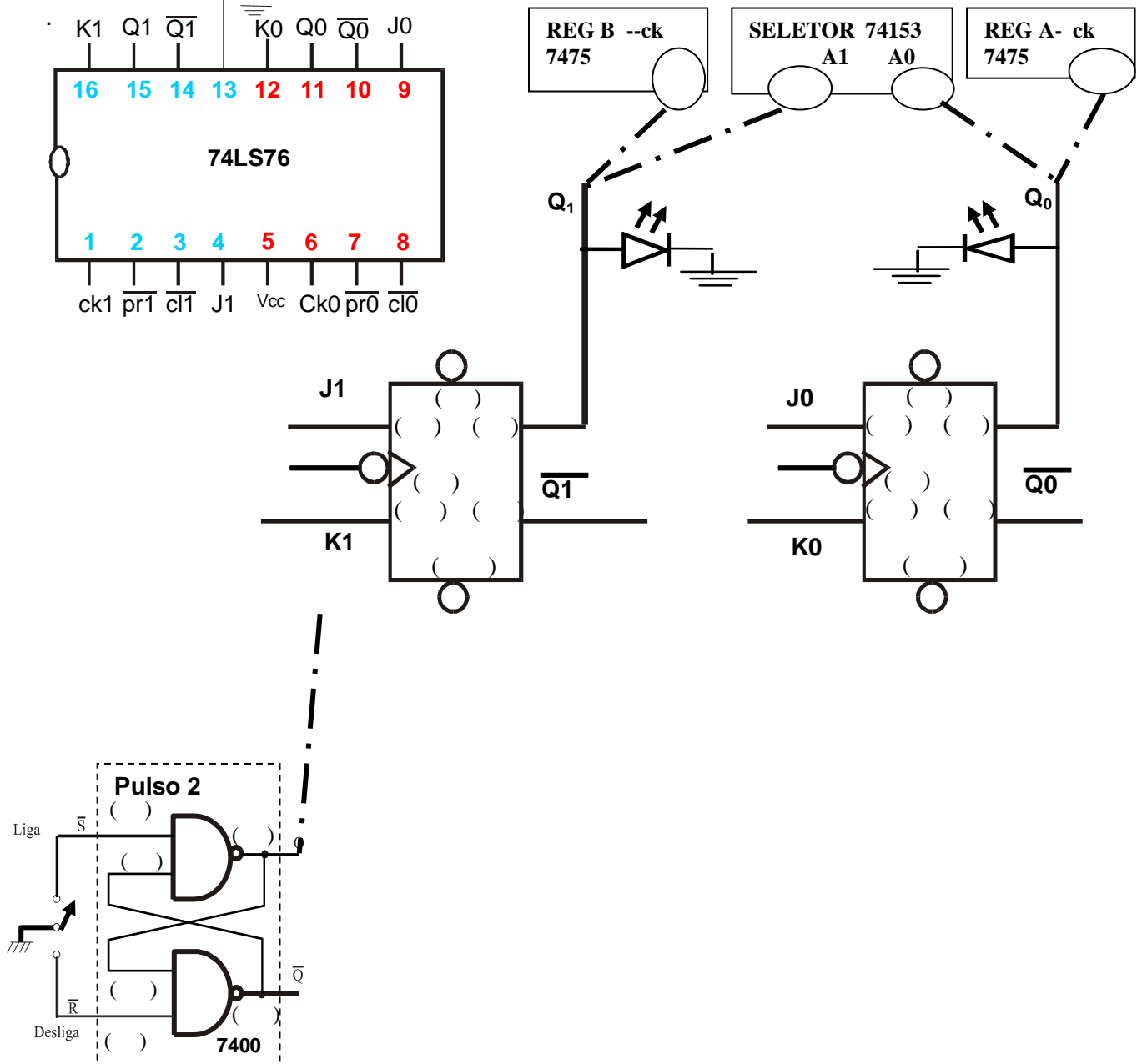


**J0=**



**K0=**

**PASSO 2: Esquematizar** a solução: **fazendo as interconexões** segundo os valores encontrados para J1, K1, J0, K0 e **Numerando nos ( )** o esquema conforme os pinos do layout do CI 7476 e a respectiva interligação c/mux e no futuro com os pinos do **rega reg b**.



**IMPORTANTE: Interligar** nas linhas -- . --.o Clock de entrada Ck ao circuito Pulso 2 da **Aula 11**, bem como aos endereços A1 e A0 mux da **Aula 12** (indicando a numeração dos pinos correspondentes) E **completando os num. dos pinos depois com a próxima etapa (projeto de reg a e reg b Aula 14)** a interligação respectiva.

## 2. Procedimentos Experimentais

2.1 Monte o circuito do esquema numerado no item 1.1 GERADOR DE SINAIS DE CONTROLE (CI 7476) no modulo do projeto final, interligando as saídas Q1 e Q0 a dois leds (circuito Monitor).

2.2 Testar o funcionamento do circuito Gerador de Sinais de Controle conferindo a visualização dos 3 (três) sinais de controle na seqüência 00-01-10-00 com os dois leds (circuito Monitor).

**2.3 Observar as interligações necessárias de acordo o planejamento (fig 1). PORTANTO O ESQUEMA DEVE SER COMPLETADO APOS A PROXIMA AULA COM:**

Q1 → Vai p/ o clock do REG B, Q0 → vai p/ o clock do REG A e as duas saídas Q1 Q0 vão como entradas de endereço A1 A0 dos Mux 4:1 do Seletor.

## AULA 14 - Projeto final etapa 8 (Registrador A e B)

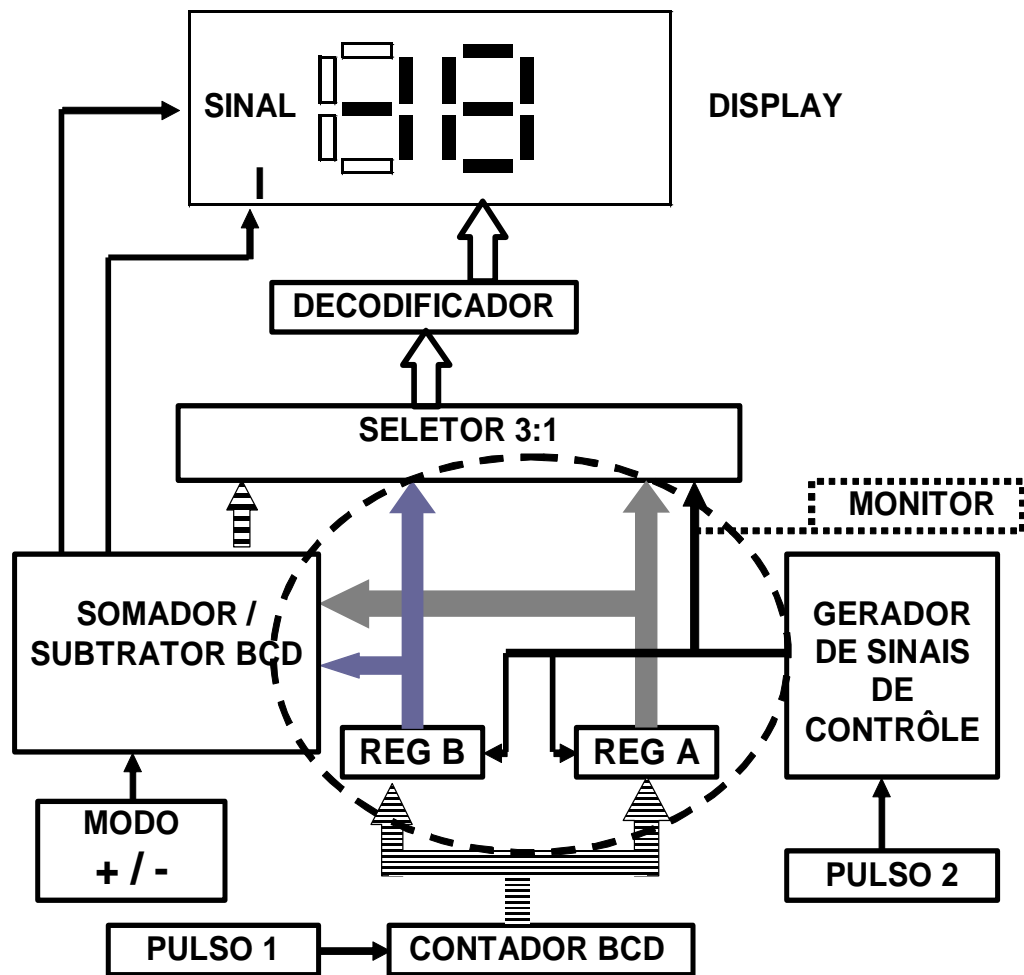


Fig 1 - ET A P A 8

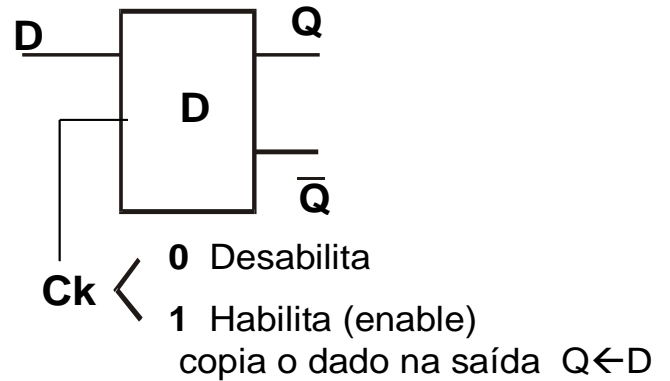
Objetivo: apresentar circuitos integrados 7475, execução da etapa 8 do trabalho final no módulo implantando os registradores A e B.

1. Fundamentos Teóricos: Referência Livro Texto: Capítulo 5.16 a 5.18; 7.15, 7.18 a 7.22

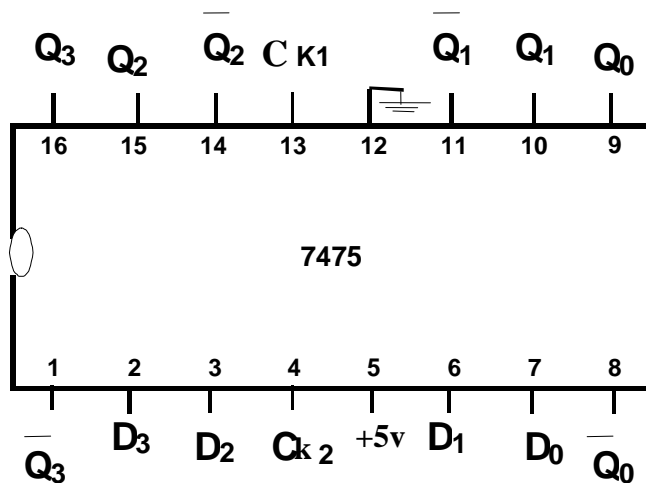


## 1.1 Registradores

- São dispositivos básicos de memória baseados em Flip – Flop tipo D podendo ter um clock acionado por nível conforme figura a seguir →



O CI 7475 – Layout abaixo possui QUATRO FLIP-FLOP TIPO D do modelo acima.

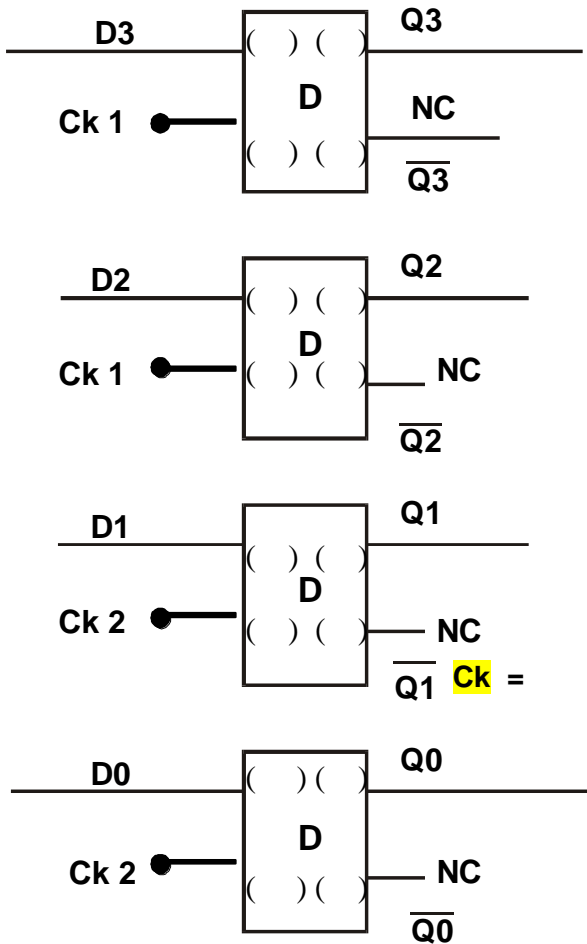


- Um registrador estático de 4 (quatro) bits pode ser construído com uso de 4 (quatro) FF- D síncronos do CI 7475 bastando interligar os respectivos Clocks que por sua vez já são interligados dois a dois conforme o layout do CI acima:

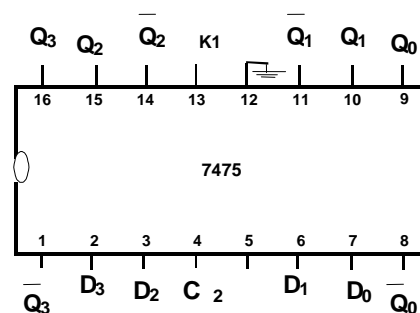
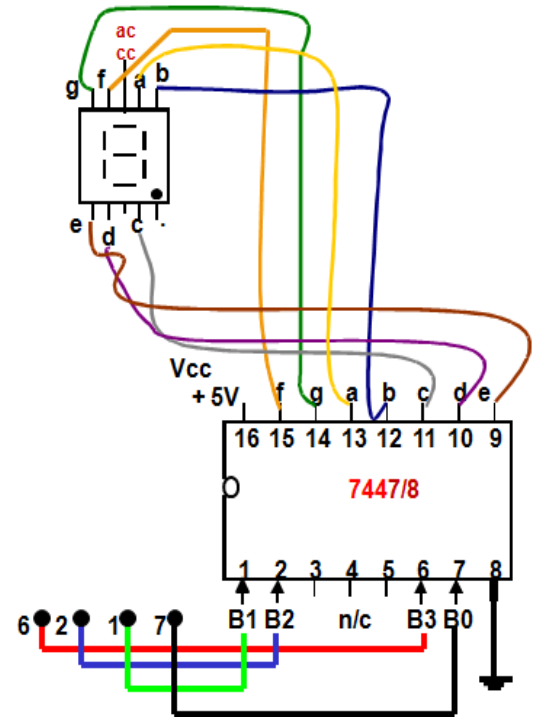
1.2 Completar o esquema a seguir para descrever o projeto de um Registrador estático de 4 bits. (4 FF – D com CK síncrono).

1.3 Numerar nos ( ) o esquema abaixo conforme os pinos do layout do CI 7475 folha anterior:

1.4 Para concluir o projeto do registrador **Interligue os Clocks 1 e 2 no esquema abaixo.**



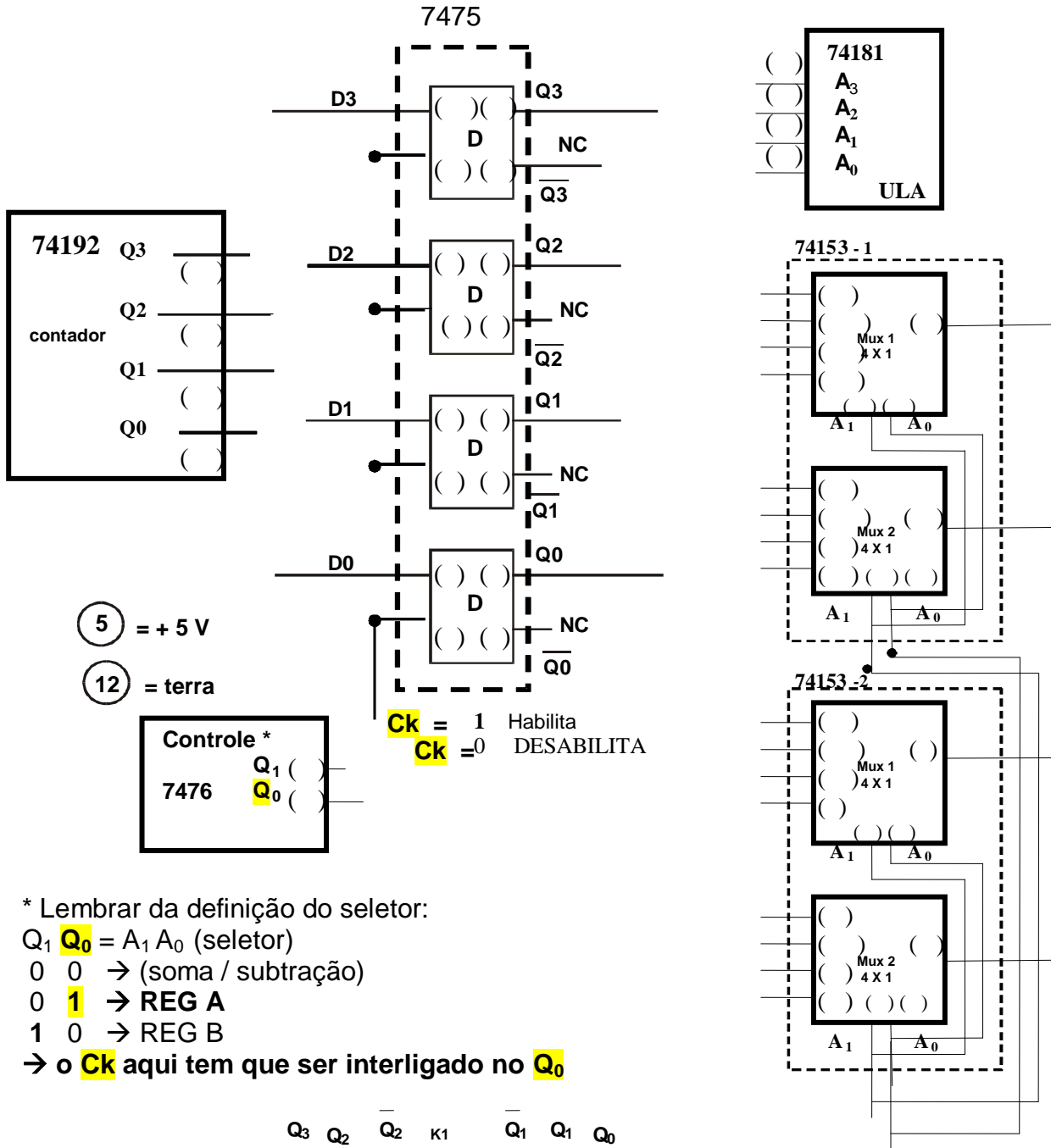
**Ck = 1** Habilita  
**Ck = 0** DESABILITA



1.5 **O PROCEDIMENTO EXPERIMENTAL:** montagem e teste deste Registrador conectando as saídas ao ci do decodificador/ display.

1.6 Esquematizar os circuitos para o Registrador A e B desenhando todas as interligações conforme planejamento Fig 1 e as etapas anteriores.

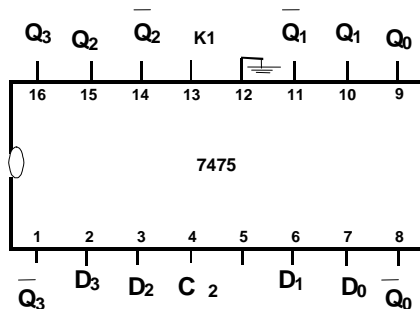
1.6.1 Esquematizar o circuito para o Registrador A, numerando e interligando adequadamente:



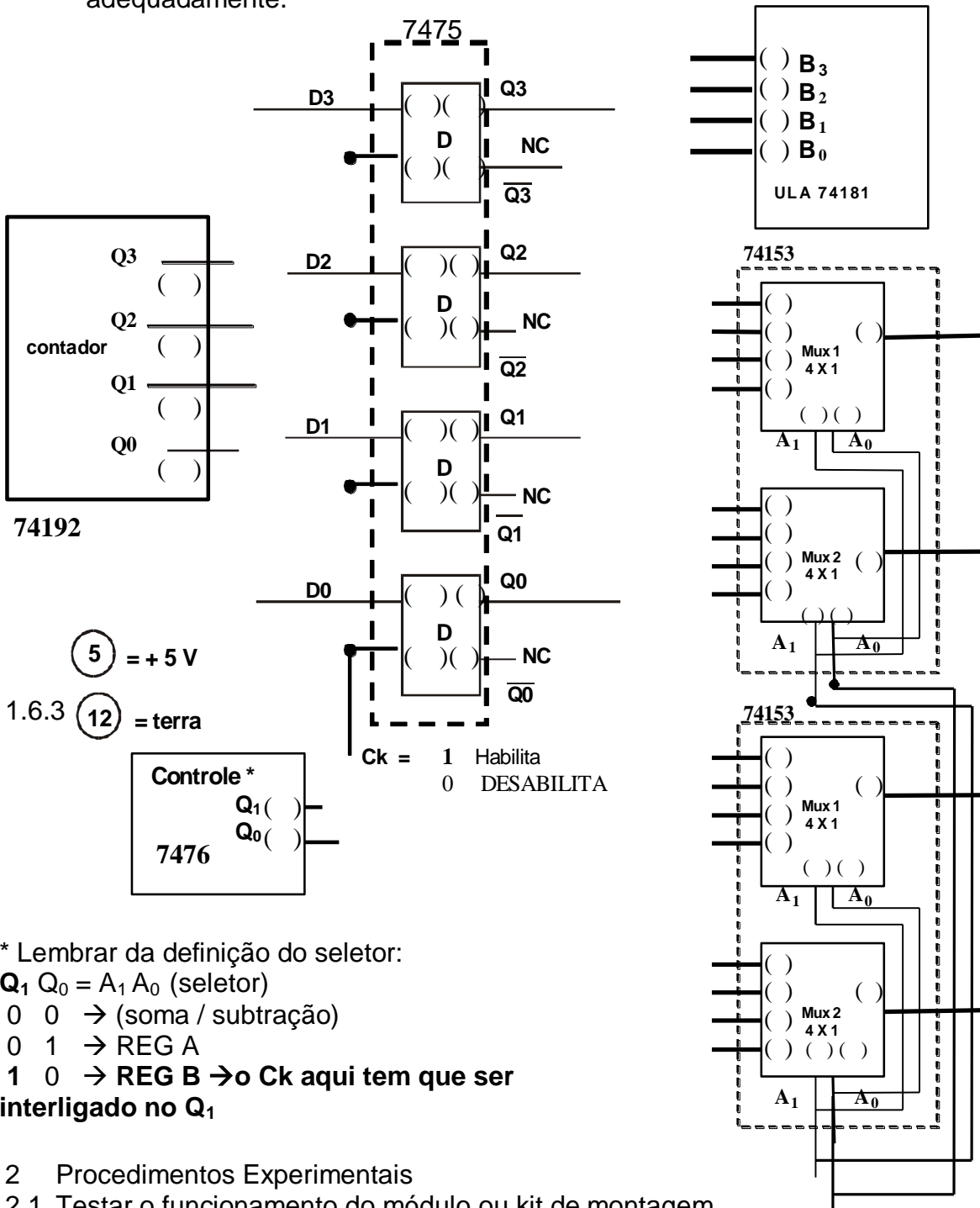
\* Lembrar da definição do seletor:

- Q<sub>1</sub> Q<sub>0</sub> = A<sub>1</sub> A<sub>0</sub> (seletor)
- 0 0 → (soma / subtração)
- 0 1 → REG A
- 1 0 → REG B

→ o Ck aqui tem que ser interligado no Q<sub>0</sub>



1.6.2 Esquematizar o circuito para o Registrador B, numerando e interligando adequadamente.



\* Lembrar da definição do seletor:

$Q_1 Q_0 = A_1 A_0$  (seletor)

0 0 → (soma / subtração)

0 1 → REG A

1 0 → REG B → o Ck aqui tem que ser

interligado no  $Q_1$

2 Procedimentos Experimentais

2.1 Testar o funcionamento do módulo ou kit de montagem.

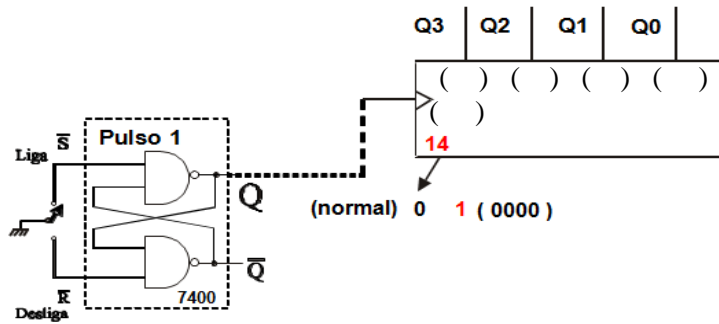
2.2 Montar no módulo 8810 ou Kit de montagem e testar os Dois CIs 7475.

2.3 Monte o circuito do esquema numerado no item 1.5.1 e 1.5.2 no módulo do projeto final, fazendo todas as interligações previstas voltando na etapa 4 para completar as conexões do seletor.

1.6.3 Complete o esquema ABAIXO.(REG A e B) para identificar as conexões do contador BCD (CI 74192) da aula 12 do laboratório e OS OUTROS CIRCUITOS NO PROJETO FINAL

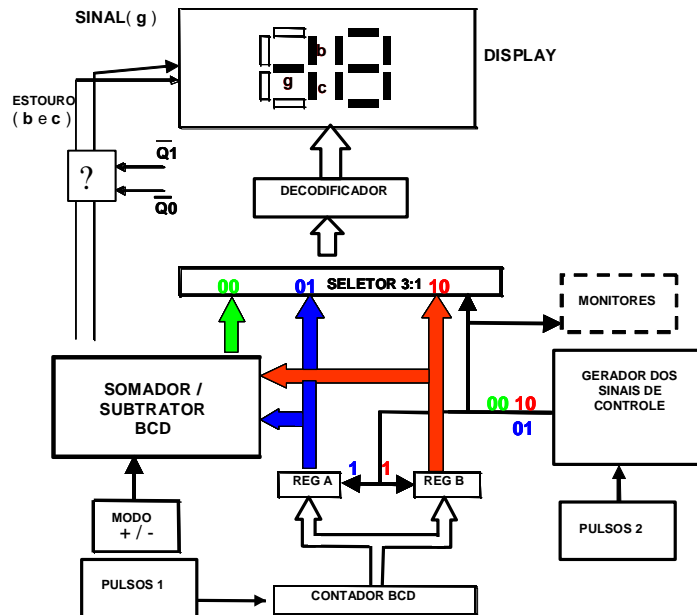
REG B  
 ( ) ( ) ( ) ( )

REG A  
 ( ) ( ) ( ) ( )

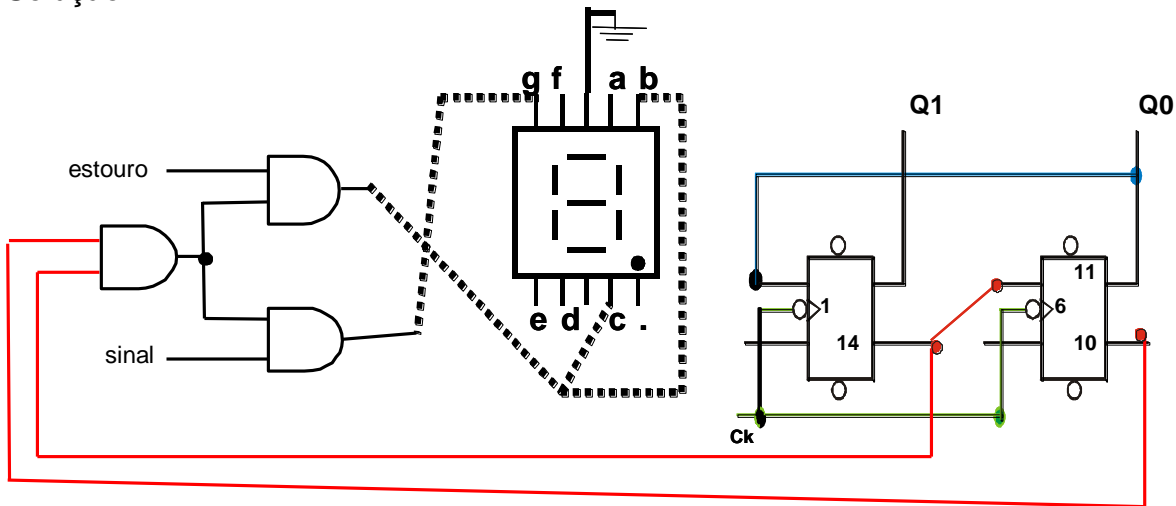


# Projeto Final Conclusão

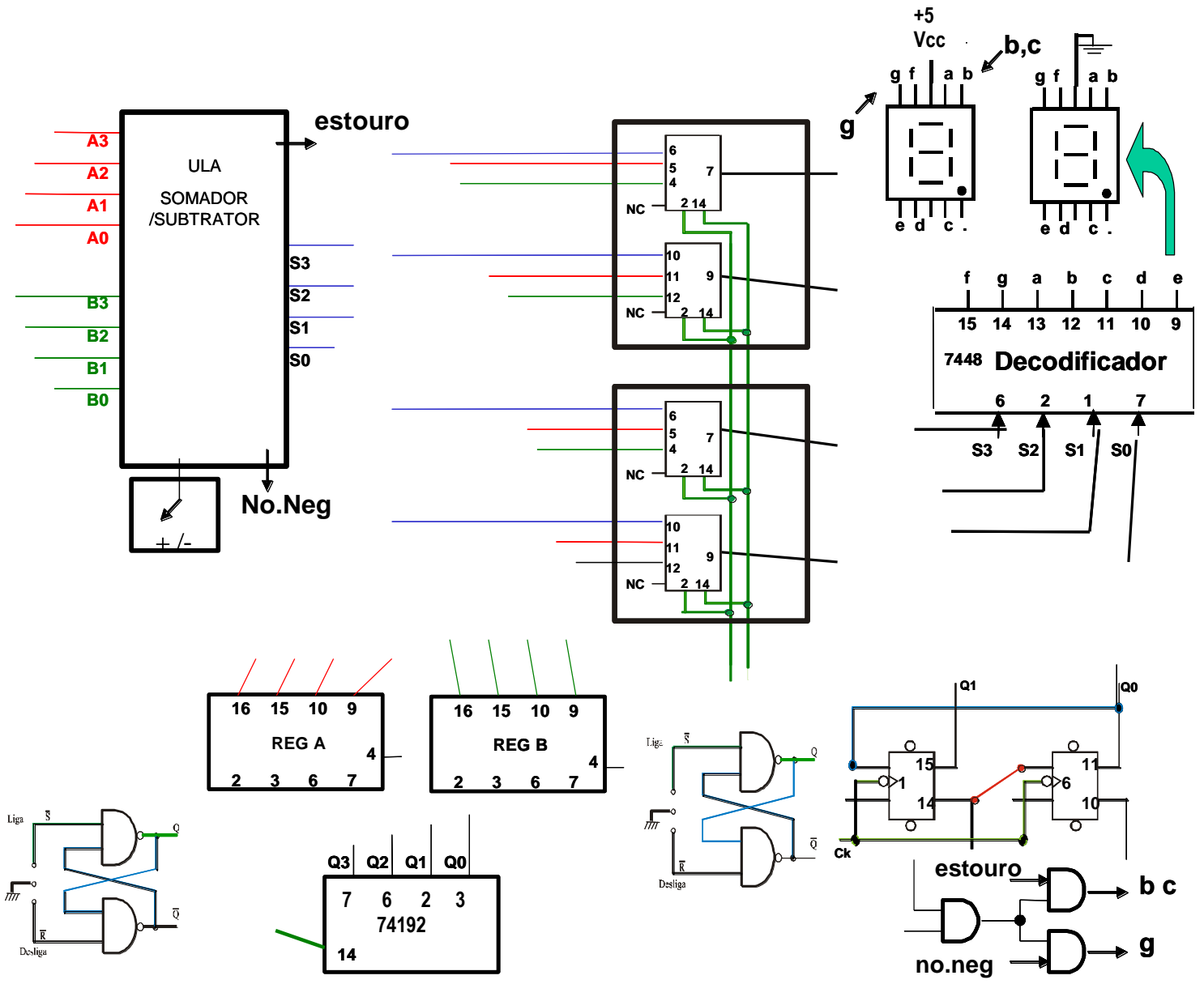
1. Exercício: esquematizar um circuito com portas AND para que acenda os segmentos correspondentes do display da esquerda (negativo ou no 1) se e somente se o display da direita estiver mostrando o resultado.



Solução:



2. Esquematizar todas as interligações do projeto conforme o planejamento (da figura pág 3): Exemplo próxima pagina.
3. Desenhar um ESQUEMA COMPLETO DO PROJETO FINAL DO LABORATÓRIO Completando a numeração e interligando o Esquema de acordo com cada etapa.



4. CONCLUSÃO: Executar todas as conexões necessárias e testar o projeto **FAZENDO UMA SIMULAÇÃO.**
5. Fazer um **LAY OUT FÍSICO DO PROJETO** INDICANDO EM TODOS OS ESQUEMAS de cada ETAPA a **POSIÇÃO DOS CIs (principalmente dos duplicados)** conforme sugestão no Anexo a seguir

